

最大概度軟性決策序列解碼器之律動矩陣架構實作探討

學生：鍾興明

指導教授：陳伯寧博士

國立交通大學電信工程研究所

中文摘要

維特比 (Viterbi) 演算法雖然是最大概度解碼演算法，但是它只有在較短的固定長度 (constraint length) 時才能實現。序列解碼 (Sequential decoding) 演算法的複雜度雖然和固定長度無關，但是它不能達到最大可靠度決策。韓教授和陳教授提出的最大可靠度序列解碼演算法 (MLSDA) 不但具有序列解碼的優點，同時它也是最大可靠度解碼演算法。根據最大可靠度序列解碼演算法，我們做解碼器的實作探討。

一般傳統的序列解碼搜尋方法是把所有資料放在記憶體中直接做排列，而每次所須時間則視資料多寡而定。為了維持固定的排序時間，我們修正了優先排隊演算法 (PESPQ) 來實現最大可靠度序列解碼演算法。這種作法雖然會增加設計的複雜度，但是可以保證在固定時間內能得到最好的結果。

我們也提出一個序列解碼的觀點，將 $1/2$ 碼視為 $2/4$ 碼 ($3/6$ 碼)，即是在解碼的過程中結合二 (三) 個輸入位元成一個單位。因此我們可以在 VLSI 的實作上得到一些好處例如解碼速度，但是也相對的增加半導體的數目。為了減少半導體的數目，我們使用多輸入躍動排序演算法來完成 $2/4$ 碼 ($3/6$ 碼) 的 MLSDA。根據模擬結果，當半導體數量增加一半時解碼速度可以增加一倍。